

# INSULATED GATE TYPE SILICON CARBIDE THYRISTOR

Publication number: JP10256529

Publication date: 1998-09-25

Inventor: IWAMURO NORIYUKI

Applicant: FUJI ELECTRIC CO LTD

Classification:

- international: H01L29/74; H01L29/78; H01L29/66; (IPC1-7): H01L29/74; H01L29/78

- european:

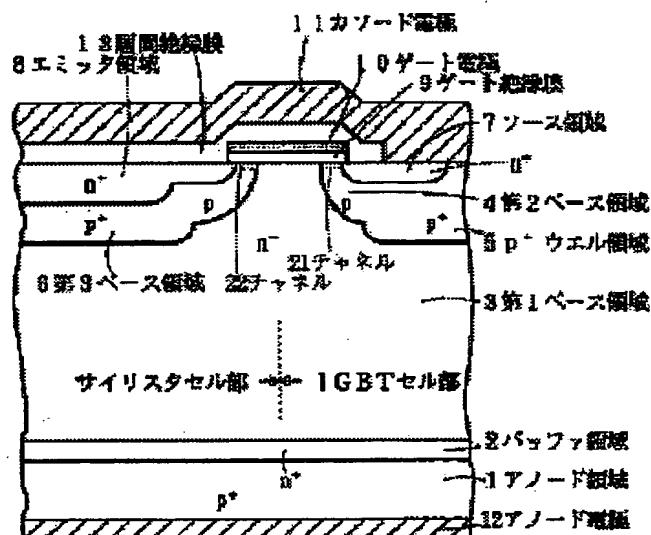
Application number: JP19970061506 19970314

Priority number(s): JP19970061506 19970314

Report a data error here

## Abstract of JP10256529

**PROBLEM TO BE SOLVED:** To provide an insulated gate type silicon carbide thyristor having a higher withstand voltage and larger current than those of a conventional power device by using silicon carbide. **SOLUTION:** A second base region 4 and a third base region 6 isolated from the region 4 are formed on one surface layer of a first base region 3, a source region 7 is selectively formed on a surface layer of the region 6, an emitter region 8 is formed on a surface layer of the region 6, a gate electrode 10 is formed via a gate insulating film 9, an interlayer insulating film 13 is formed on part of the region 7 and electrode 10 and region 8, and a cathode electrode 11 is formed on an exposed part of the region 7 and an exposed part of the region 4. The region 8 is covered with the film 13, and hence it is electrically connected to the electrode 11 to become a potential floating state.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256529

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 29/74  
29/78

識別記号

F I

H 0 1 L 29/74

29/78

G

D

6 5 2 T

6 5 5 A

6 5 6 A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平9-61506

(22) 出願日

平成9年(1997) 3月14日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 岩室 憲幸

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

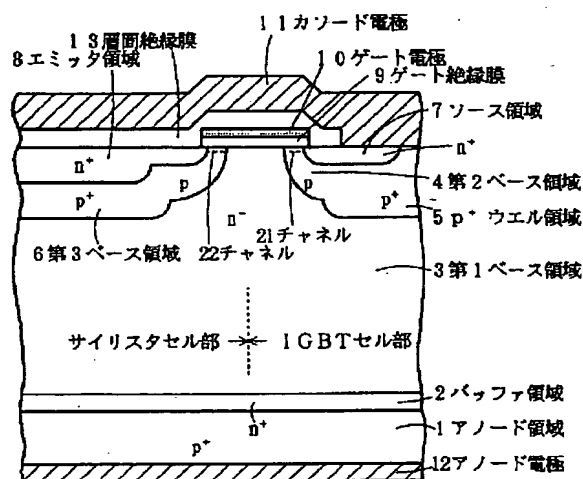
(74) 代理人 弁理士 篠部 正治

(54) 【発明の名称】 絶縁ゲート型炭化ケイ素サイリスタ

(57) 【要約】

【課題】炭化ケイ素を用いて、従来のパワーデバイスよりも高耐圧、大電流の絶縁ゲート型炭化ケイ素サイリスタを提供すること。

【解決手段】第1ベース領域3の一方の表面層に第2ベース領域4と、この第2ベース領域4と離して第3ベース領域6とを形成し、第2ベース領域4の表面層にソース領域7を選択的に形成し、第3ベース領域6の表面層にエミッタ領域8を形成し、ゲート絶縁膜9を介してゲート電極10を形成し、ソース領域7上の一部とゲート電極10上およびエミッタ領域8上に層間絶縁膜13を形成し、ソース領域7の露出部上と第2ベース領域4の露出部上にカソード電極11を形成する。エミッタ領域8は層間絶縁膜13で被覆されているのでカソード電極11と電氣的に絶縁され、電位的には浮遊状態となっている。



## 【特許請求の範囲】

【請求項1】炭化ケイ素からなる絶縁ゲート型サイリスタで、高抵抗の第1導電形の第1ベース領域と、該第1ベース領域の一方の表面層に選択的に離間して形成された第2導電形の第2ベース領域および第3ベース領域と、前記第2ベース領域の表面層に選択的に形成された第1導電形のソース領域と、前記第3ベース領域の表面層に選択的に形成された第1導電形のエミッタ領域と、前記ソース領域と前記エミッタ領域とに挟まれた第2ベース領域上、前記第1ベース領域上および前記第3ベース領域上に絶縁膜を介して形成されたゲート電極と、前記ソース領域上と前記第2ベース領域上とに形成されたカソード電極と、前記第1ベース領域の他方の表面層に形成された第2導電形のアノード領域と、該アノード領域上に形成されたアノード電極とを有する絶縁ゲート型サイリスタにおいて、前記エミッタ領域の表面全面と前記第3ベース領域の露出部とが絶縁膜で被覆されることを特徴とする絶縁ゲート型炭化ケイ素サイリスタ。

【請求項2】炭化ケイ素からなる絶縁ゲート型サイリスタで、高抵抗の第1導電形の第1ベース領域と、該第1ベース領域の一方の表面層にトレンチ溝を挟んでそれぞれ形成された第2導電形の第2ベース領域および第3ベース領域と、第2ベース領域の表面層にトレンチ溝と接し、選択的に形成された第1導電形のソース領域と、第3ベース領域の表面層にトレンチ溝と接し、形成された第1導電形のエミッタ領域と、前記トレンチ溝の側壁に絶縁膜を介して形成されたゲート電極と、前記ソース領域上と第2ベース領域上とに形成されたカソード電極と、前記第1ベース領域の他方の表面層に形成された第2導電形のアノード領域と、該アノード領域上に形成されたアノード電極とを有する絶縁ゲート型サイリスタにおいて、前記エミッタ領域の表面全面が絶縁膜で被覆されることを特徴とする絶縁ゲート型炭化ケイ素サイリスタ。

【請求項3】第1ベース領域とアノード領域の間に第1ベース領域より高濃度の第1導電形のバッファ領域が形成されることを特徴とする請求項1または2記載の絶縁ゲート型炭化ケイ素サイリスタ。

【請求項4】エミッタ領域および第3ベース領域の周囲を取り囲むように、ゲート電極、ソース領域および第2ベース領域とが配置されることを特徴とする請求項1または2記載の絶縁ゲート型炭化ケイ素サイリスタ。

【請求項5】第2ベース領域が複数個切り離して形成されることを特徴とする請求項4記載の絶縁ゲート型炭化ケイ素サイリスタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力用スイッチング素子として用いられ、炭化ケイ素で形成された絶縁ゲート型炭化ケイ素サイリスタに関する。

【0002】

【従来の技術】最近、電力用半導体素子として、動作温度が高くできることや絶縁破壊を起こす電界強度が高いなどの利点を生かして炭化ケイ素(SiC)を基板結晶として用いた縦型のパワーMOSFETが、J.W.Palmourらが発表した "Diamond, SiC and Nitric Wide-bandgap Semiconductors" Material Research Society Proceedings(1994)やN.Tokuraらが発表した Jpn.J.Appl.Phys vol.34(1995), pp5567-5573.で開示されている。これはアルファ相炭化ケイ素である6H-SiCや4H-SiCなどの単結晶が、かなりの高品質で製造できるようになってきたことによる。このため、通常のデバイスではシリコン結晶を用いて製作されるが、炭化ケイ素結晶の持つ前記のような利点を生かして、デバイスの特性改善を図ることが期待できるとの観点から炭化ケイ素デバイスが研究されている。また、前記のパワーMOSFETだけでなく、絶縁ゲート型バイポーラトランジスタ(以下IGBTと略す)も、A.Bhallaらが発表した Proc.Int.Symp.on Power Semiconductor Device and ICs(1994), pp.287.やN.Ramungulらの Technical Digest of Conf on SiC and related Materials(1995), TuP-39で開示されているように研究が進められている。これはシリコンの経験からユニポーラデバイスの代表であるパワーMOSFETよりもバイポーラデバイスであるIGBTの方が、高耐圧、大電流領域でデバイスのオン抵抗つまりオン電圧を減少させることができるからである。

【0003】図6はブレーナ構造のパワーMOSFETの要部断面図で、図7はブレーナ構造のIGBTの要部断面図である。図6および図7において、図に示したセルが周期的に配置されて実際のシリコンや炭化ケイ素で製作されたデバイスが出来上がり、大きな電流を通電できる。図7のIGBTは図6のパワーMOSFETのドレイン領域71を、 $n^+$ バッファ領域52が付加された高濃度のp形のコレクタ領域51で置き代えた構造となっている。それ以外の領域は呼び名は異なっても基本的な働きは同じである。またパワーMOSFETやIGBTの構造は周知であり詳細な構造の説明はここでは省略する。パワーMOSFETやIGBTなどのデバイスでは、ゲート電極60、80はゲート絶縁膜59、79で半導体基板から絶縁されているが、このゲート絶縁膜59、79は炭化ケイ素の場合も、シリコンと同様に、熱酸化により良質の絶縁膜を炭化ケイ素結晶上に形成できるため、炭化ケイ素結晶を使って各種の絶縁ゲート型デバイスを製作できる。炭化ケイ素デバイスとしては、前記で示した通りパワーMOSFETとIGBTがある。

【0004】

【発明が解決しようとする課題】しかし、パワーMOSFETはユニポーラデバイスゆえに通電時の抵抗が大きく高耐圧化と大電流化が困難である。またIGBTはバ

10

20

30

40

50

イボラデバイスのためパワーMOSFETよりは高耐圧化、大電流化は容易であるが、トランジスタ構造ゆえに高耐圧になるにしたがって、オン抵抗が高くなり大電流化が困難となる。

【0005】この発明の目的は、前記課題を解決して、前記デバイスよりも高耐圧、大電流の絶縁ゲート型炭化ケイ素サイリスタを提供することにある。

【0006】

【課題を解決するための手段】前記の目的を達成するために、炭化ケイ素からなる絶縁ゲート型サイリスタで、高抵抗の第1導電形の第1ベース領域と、該第1ベース領域の一方の表面層に離れてそれぞれ形成された第2導電形の第2ベース領域および第3ベース領域と、前記第2ベース領域の表面層に選択的に形成された第1導電形のソース領域と、前記第3ベース領域の表面層に選択的に形成された第1導電形のエミッタ領域と、ソース領域とエミッタ領域とに挟まれた第2ベース領域上、第1ベース領域上および第3ベース領域上に絶縁膜を介して形成されたゲート電極と、前記ソース領域上と第2ベース領域上とに形成されたカソード電極と、前記第1ベース領域の他方の表面層に形成された第2導電形のアノード領域と、該アノード領域上に形成されたアノード電極とを有する絶縁ゲート型サイリスタにおいて、前期エミッタ領域の表面全面と前記第3ベース領域の露出部とが絶縁膜で被覆される構成とする。

【0007】こうすることで、通電時はサイリスタ構造となり大電流が通電できる。またエミッタ領域および第3ベース領域が絶縁膜により電気的にカソード電極から浮遊した状態のため、アノード電流がエミッタ領域から横に流れソース領域に入ってアノード電極に抜ける。この横方向に流れる電流はこの通路の抵抗成分で、大電流領域では電流は飽和する。そのため、安全にデバイスを遮断でき、デバイスの可制御電流を大きくできる。さらに、過電流が流れた場合も通電電流が絞られるのでデバイスが破壊するのを防止できる。またサイリスタ構造ゆえにオン抵抗を大幅に増大させることなく高耐圧化を容易に図ることができる。

【0008】また炭化ケイ素からなる絶縁ゲート型サイリスタで、高抵抗の第1導電形の第1ベース領域と、該第1ベース領域の一方の表面層にトレンチ溝を挟んでそれぞれ形成された第2導電形の第2ベース領域および第3ベース領域と、第2ベース領域の表面層にトレンチ溝と接し、選択的に形成された第1導電形のソース領域と、第3ベース領域の表面層にトレンチ溝と接し、形成された第1導電形のエミッタ領域と、前記トレンチ溝の側壁に絶縁膜を介して形成されたゲート電極と、前記ソース領域上と第2ベース領域上とに形成されたカソード電極と、前記第1ベース領域の他方の表面層に形成された第2導電形のアノード領域と、該アノード領域上に形成されたアノード電極とを有する絶縁ゲート型サイリス

タにおいて、前記エミッタ領域の表面全面が絶縁膜で被覆される構成してもよい。

【0009】このようにゲート構造をトレンチ構造にし、且つ、エミッタ領域をカソード電極から電位的に浮遊状態とすることで、セル構造を小型化でき、セルの集積度をあげて、デバイスの大電流化を図ることが容易にできる。また同一電流容量に対してはチップサイズを小型化できる。前記の第1ベース領域とアノード領域の間に第1ベース領域より高濃度の第1導電形のバッファ領域が形成される構成とするといふ。

【0010】こうすることで、前記のバッファ領域が空乏層のストッパ役をするため、第1ベース領域の縦方向の厚さを低減でき、素子の高耐圧化と低オン電圧化を図ることができる。また前記のエミッタ領域および第3ベース領域の周囲を取り囲むように、ゲート電極、ソース領域および第2ベース領域とが配置される構成とするといふ。

【0011】こうすることで、デバイスが遮断するときサイリスタモードからIGBTモードに速やかに移行でき、デバイスの遮断耐量が増大する。また導通状態ではサイリスタ部とIGBT部双方に効率よく電流を通電できるのでオン抵抗の低減を図ることができる。さらに前記の第2ベース領域が複数個切り離された構成とする効果的である。

【0012】こうすることで、サイリスタモードからIGBTモードに一層速やかに移行できる。

【0013】

【発明の実施の形態】炭化ケイ素はシリコンと比較して、絶縁破壊を引き起こす電界強度が高いために、炭化ケイ素でパワーデバイスを製作した場合に、耐圧を確保するためのベース幅を狭くできる。また融点が高く、バンドギャップが広いので、動作接合温度を高くすることができる。またパワーデバイスとして、大電流、高耐圧化できる絶縁ゲート型サイリスタを炭化ケイ素を用いることで、シリコンで製作した場合よりも大電流領域でのオン電圧特性の改善を図ることができると同時に動作温度を高くできることで、電流密度を大きくできて、チップサイズの小型化を図ることができる。

【0014】以下の実施例ではすべて、第1導電形をn形、第2導電形をp形として説明するが、これを逆にしても勿論構わない。

【実施例1】図1はこの発明の第1実施例の要部断面図である。図1はプレーナ構造の絶縁ゲート型炭化ケイ素サイリスタの主要部分を示し、左側がサイリスタセル部で右側がIGBTセル部である。高比抵抗のn形の第1ベース領域3の一方の表面層にp形の第2ベース領域4と、この第2ベース領域4と離してp形の第3ベース領域6とを形成する。第2ベース領域4の表面層に高濃度のn形のソース領域7を選択的に形成し、第3ベース領域6の表面層に高濃度のn形のエミッタ領域8選択的に

を形成する。寄生サイリスタがラッチアップしないようにソース領域7のチャンネル21を形成する側を除いて第2ベース領域4のp形不純物濃度より高い濃度でp<sup>+</sup>ウエル領域5を形成する。ソース領域7とエミッタ領域8とに挟まれた第2ベース領域4上と第1ベース領域3上および第3ベース領域6上にゲート絶縁膜9を介してゲート電極10を形成する。ソース領域7上の一部とゲート電極10上およびエミッタ領域8上に層間絶縁膜13を形成する。ソース領域7の露出部上と表面が高濃度化された第2ベース領域4（p<sup>+</sup>ウエル領域5上のこと）の露出部上と層間絶縁膜13上にカソード電極11を形成する。第2ベース領域4のカソード電極と接触する表面はp<sup>+</sup>ウエル領域5により高濃度化されているので、カソード電極11とのコンタクトは良好なオーミック性が得られる。

【0015】第1ベース領域3の他方の表面層に高濃度のn形のバッファ領域2と高濃度のp形のアノード領域1とを形成し、アノード領域1上にアノード電極12を形成する。エミッタ領域8は層間絶縁膜13で全面が被覆されているのでカソード電極11と電氣的に絶縁され、電位的には浮遊状態となっている。第3ベース領域6の表面にチャンネル22が形成し易いように、チャンネル22が形成される領域の表面濃度を低くしている。そのために、第3ベース領域6を低濃度部（p領域）と高濃度部（p<sup>+</sup>領域）の2段の拡散領域とした。またエミッタ領域8も第3ベース領域6から主電流を流れ易くするため、チャンネル22を形成する側から離れたエミッタ部を深くして、拡散領域を2段とした。ゲート電極10に、ある一定以上の正電位（スレッシュホールド電圧）を印加すると、第2ベース領域4と第3ベース領域6の表面にn形のチャンネル21、22が形成される。この部分は丁度n型MOSFETのゲートと同様の働きをする。

【0016】つぎに、このサイリスタの動作を説明する。アノード電極12を正、カソード電極11を負に電圧を印加し、ゲート電極10にスレッシュホールド電圧以上の電圧を印加すると、チャンネル21、22が形成され、アノード電極12→アノード領域1→バッファ領域2→第1ベース領域3→第3ベース領域6→エミッタ領域8→チャンネル22→第1ベース領域3の表面層（蓄積層となっている）→チャンネル21→ソース領域7を經由してカソード電極11に主電流が流れる。この主電流はpnpn構造のサイリスタセル部を流れることになり、大電流を流すことができる。また主電流が大きくなるとチャンネル側のエミッタ領域8の拡散深さが浅いため、横方向抵抗が大きくなり、この領域を横方向に流れる主電流で電位降下が生じる。さらにチャンネル21、22、第1ベース領域3の表面層を通る主電流による電位降下が加わり、カソード電極11の電位に対して、主電流が流れるエミッタ領域8の電位が上昇し、エミッタ領域8から

第3ベース領域6への電子の注入が抑制される。そのため、大電流領域では主電流は飽和特性を示す。

【0017】このサイリスタを遮断する場合は、ゲート電圧をスレッシュホールド電圧以下にしてチャンネル21、22を閉じる。浮遊状態のエミッタ領域8からの電子の注入がなくなるために、主電流はアノード電極12→アノード領域1→バッファ領域2→第1ベース領域3→p<sup>+</sup>ウエル領域5（第2ベース領域4の高濃度部を形成している）を經由してカソード電極11に流れる。この経路はpnpトランジスタの経路であり、しかも第1ベース領域3に電子が供給されないベースオープン状態のトランジスタ動作となり、過剰キャリアが第1ベース領域3から消滅すれば主電流は通電できなくなる。この動作モードはIGBTのオフモードと全く同じである。

【0018】従って、オン状態ではサイリスタモードとなり、しかも大電流領域では飽和特性を示す特徴をっており、過電流が抑制される。またオフ状態ではIGBTモードに移行して、IGBTと同様短時間に主電流を遮断できる。さらに、オン状態では主電流の一部はアノード電極12→アノード領域1→バッファ領域2→第1ベース領域3→第2ベース領域4→ソース領域7を經由してカソード電極11にも流れる。このIGBTセル部を通して主電流の一部が流れるため、サイリスタ部のみを通して流れる従来の絶縁ゲート型サイリスタの場合と比べるとオン抵抗は小さくなり、オン電圧も低減される。

〔実施例2〕図2はこの発明の第2実施例の要部断面図である。図2はトレンチ構造の絶縁ゲート型炭化ケイ素サイリスタの主要部分を示し、左側がサイリスタセル部で右側がIGBTセル部である。高比抵抗のn形の第1ベース領域3の一方の表面層にp形領域を形成し、表面からこのp形領域を貫通するようにトレンチ溝31を形成する。このトレンチ溝31を挟んでp形の第2ベース領域4とp形の第3ベース領域6となる。この他に第2ベース領域と第3ベース領域とを離して形成し、離れた部分の第1ベース領域3と、互いに対向する第2ベース領域4および第3領域6とを、第2ベース領域4および第3ベース領域6より深くトレンチ溝31を形成してもよい。第2ベース領域4の表面層に高濃度のn形のソース領域7を選択的に形成し、第3ベース領域4の表面層に高濃度のn形のエミッタ領域8を形成する。寄生サイリスタがラッチアップしないようにソース領域7と接する第2ベース領域4の表面層に第2ベース領域4より高い濃度でp<sup>+</sup>ウエル領域5を形成する。トレンチ溝31の側壁と底部にゲート絶縁膜9を形成し、さらにその溝31を低抵抗のポリシリコンなどを充填してゲート電極10を形成する。ソース領域7上の一部とゲート電極10上およびエミッタ領域8上に層間絶縁膜13を形成する。ソース領域7とp<sup>+</sup>ウエル領域5（第2ベース領域4の表面層に形成される）の露出部上および層間絶縁膜

13上にカソード電極11を形成する。第1ベース領域3の他方の表面層に高濃度のn形のパッファ領域2と高濃度のp形のアノード領域1とを形成し、アノード領域1上にアノード電極12を形成する。エミッタ領域8は層間絶縁膜13でカソード電極11と電氣的に絶縁され、電位的には浮遊状態となっている。ソース領域7と第1ベース領域3とに挟まれた第2ベース領域4の側面およびエミッタ領域8と第1ベース領域3とに挟まれた第3ベース領域6の側面にチャンネル21、22が形成される。

【0019】この素子の動作は図1で説明したものと同一なので省略する。トレンチ構造とすることで、チャンネル21、22が深さ方向に形成され、セルサイズを小さくできる。従って、同一チップサイズではセル数を多数集積できるので、図1の絶縁ゲート型炭化ケイ素デバイスと比べてオン特性がさらに改良される。図3はプレーナ構造で、本発明品と他の素子とのオン特性を比較した図である。図3において、Aは本発明品、Bは炭化ケイ素で製作したIGBT、Cは炭化ケイ素で製作したパワーMOSFET、Dはシリコンで製作した本発明品と同一構造の絶縁ゲート型サイリスタ、Eはシリコンで製作したIGBTで各デバイスの絶縁ゲートの構造はプレーナ型である。また横軸はオン電圧 $V_{AK}$ で縦軸は通電電流密度 $J_{AK}$ である。

【0020】プレーナ構造の本発明品Aの絶縁ゲート型炭化ケイ素サイリスタが $50A/cm^2$ 以上の電流密度で、他の炭化ケイ素素子B、Cと比べてオン電圧が一番低くなっている。またIGBT（記号Bで示されている）と比較すると、小さな電流密度でも本発明品Aのオン電圧が低くなっている。一方、シリコンで形成した絶縁ゲート型サイリスタDと比べても電流密度が $200A/cm^2$ 以上では有利になる。電流密度が $200A/cm^2$ 以下でシリコンより不利になるのは、バンドギャップ（禁制帯のエネルギーギャップのこと）がシリコンより大きく、そのため立上りが電圧が大きくなるためである。しかし、炭化ケイ素はシリコンと比べて破壊電界強度が高く、第1ベース領域の幅を小さくできるために、炭化ケイ素の大電流領域でのオン電圧の増加分はシリコンより小さくなる。また、炭化ケイ素にした場合、融点はシリコンより高いため、動作温度を $300^\circ C$ 以上と高くできる利点もある。

【0021】図4はトレンチ構造で、本発明品と他の素子とのオン特性を比較した図である。図4において、aは本発明品、bは炭化ケイ素で製作したIGBT、cは炭化ケイ素で製作したパワーMOSFET、dはシリコンで製作した本発明品と同一構造の絶縁ゲート型サイリスタ、eはシリコンで製作したIGBTで各デバイスの絶縁ゲートの構造はトレンチ型である。図3と比べるとどの素子もオン特性が改良されている。これはトレンチ構造とすることで、セルを小型化し、集積度を高めたか

らである。

【0022】尚、図3、図4で示されていないが、本発明品A、aは図からはみ出した大電流領域では、電流が飽和する。図5はこの発明のプレーナ構造の絶縁ゲート型炭化ケイ素サイリスタの平面パターンの一例を示す図である。この図は炭化ケイ素表面でのパターン図で電極や絶縁膜を剥離した状態の図である。n形のエミッタ領域8はp形の第3ベース領域6に囲まれており、これらの領域の回りに複数のp形の第2ベース領域4が取り囲み、その第2ベース領域4内にn形のソース領域7がドーナツ状に形成され、ドーナツ状の内側にp<sup>+</sup>ウェル領域5（コンタクト領域）が形成されている。このように複数個に分割されたIGBTセル部がサイリスタセル部を取り囲む構成とすることで、一個のIGBTセル部でサイリスタセル部を取り囲むよりも、チャンネルがIGBTセル部の周囲全体に形成され、オン時にはサイリスタセル部のみでなくIGBTセル部にも主電流が流れるようになり、オン電圧の低減を図ることができる。またオフ時には主電流が速やかにIGBTセル部に収束させて主電流の遮断性能を大幅に向上できる。

【0023】また、図5のA-A線で切断した断面図が図1となり、図5のB-B線で切断した断面図が図7となる。このB-B線で切断した断面図は従来構造のIGBTのセル構造と同じ構造となる。ただし、絶縁ゲート型炭化ケイ素サイリスタでは、図7のIGBTの呼び方がコレクタ電極やエミッタ電極などはアノード電極やカソード電極などに変わる。

【0024】

【発明の効果】この発明によれば、主電流を流す主要な領域をサイリスタセル部とし、またエミッタ領域を電氣的に浮遊した構造とし、さらにIGBTセル部をサイリスタセル部の回りに配置する構造とすることで、オン時に大電流領域でのオン電圧を、パワーMOSFETやIGBTより小さくでき、また過電流領域での電流を飽和させ、且つ、IGBTセル部に主電流を速やかに移行させることで、オフ時の遮断性能を大幅に向上させることができる。さらに、基板結晶に炭化ケイ素を用いることで、シリコンを用いる場合よりも第1ベース領域の厚さを薄くでき、電流密度の高い領域でのオン電圧をシリコンの場合よりも低くすることが可能となる。さらにゲート部をトレンチ構造として、セルを高集積化し、大電流化を図ることができる。さらに、炭化ケイ素を用いることで、 $300^\circ C$ 以上の高温動作させることができ、シリコンの場合よりも一層の大電流化を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の絶縁ゲート型炭化ケイ素サイリスタの要部断面図

【図2】この発明の第2実施例の絶縁ゲート型炭化ケイ素サイリスタの要部断面図

【図3】炭化ケイ素で形成したパワーMOSFET、IGBT、絶縁ゲート型炭化ケイ素サイリスタおよびシリコンで形成したIGBT、絶縁ゲート型サイリスタのオン特性を示した図

【図4】トレンチ構造の炭化ケイ素で形成したパワーMOSFET、IGBT、シリコンで形成したIGBTおよび図2の絶縁ゲート型炭化ケイ素サイリスタのオン特性を示した図

【図5】この発明のプレーナ構造の絶縁ゲート型炭化ケイ素サイリスタの平面パターンの一例を示す図

【図6】プレーナ構造のパワーMOSFETの要部断面図

【図7】プレーナ構造のIGBTの要部断面図

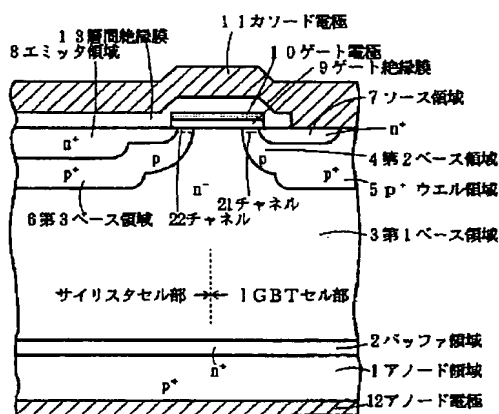
【符号の説明】

- 1 アノード電極
- 2 バッファ領域
- 3 第1ベース領域
- 4 第2ベース領域
- 5 p<sup>+</sup> ウエル領域
- 6 第3ベース領域
- 7 ソース領域
- 8 エミッタ領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 カソード電極
- 12 アノード電極

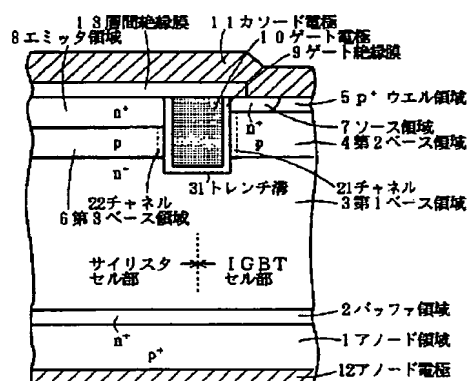
- \* 13 層間絶縁膜
- 21 チャネル
- 22 チャネル
- 31 トレンチ溝
- 51 コレクタ領域
- 52 バッファ領域
- 53 第1ベース領域
- 54 第2ベース領域
- 55 p<sup>+</sup> ウエル領域
- 57 エミッタ領域
- 59 ゲート絶縁膜
- 60 ゲート電極
- 61 エミッタ電極
- 62 コレクタ電極
- 63 層間絶縁膜
- 71 ドレイン領域
- 73 第1ベース領域
- 74 第2ベース領域
- 75 p<sup>+</sup> ウエル領域
- 77 ソース領域
- 79 ゲート絶縁膜
- 80 ゲート電極
- 81 ソース電極
- 82 ドレイン電極
- 83 層間絶縁膜

\*

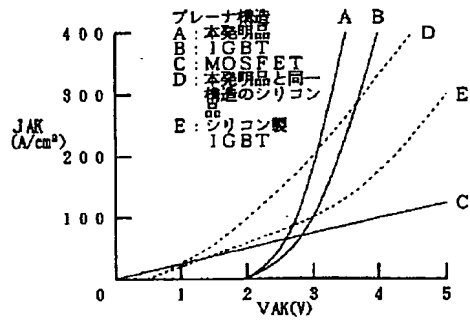
【図1】



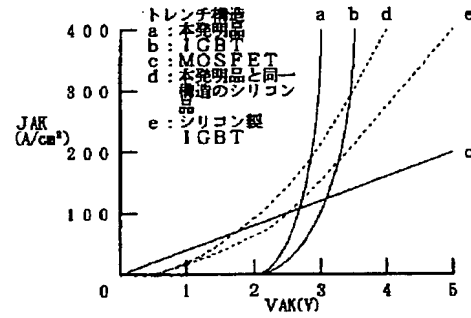
【図2】



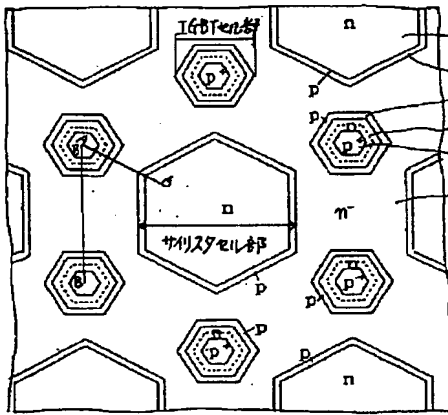
【図3】



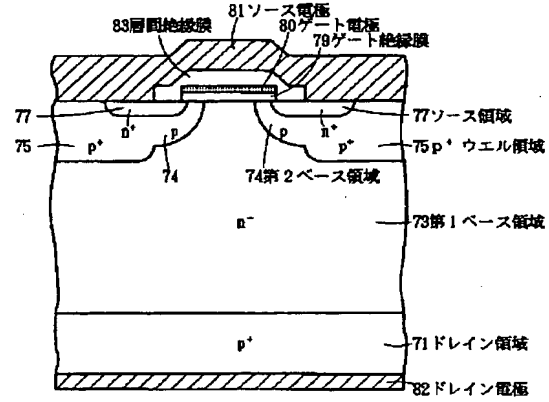
【図4】



【図5】



【図6】



【図7】

